

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

## Pixel non-uniformity correction system

Patent Number: ☐ US4602291  
Publication date: 1986-07-22  
Inventor(s): TEMES GABOR C (US)  
Applicant(s): XEROX CORP (US)  
Requested Patent: ☐ JP60241370  
Application Number: US19840608594 19840509  
Priority Number(s): US19840608594 19840509  
IPC Classification: H04N5/14  
EC Classification: H04N1/401, H04N5/217S3  
Equivalents: CA1271253, DE3569642D, ☐ EP0164222, B1

### Abstract

A solid state imager wherein a pixel non-uniformity correction system compensates for photosite non-uniformities by providing a linear correction method and utilizing three modes: mode #1-dark current detection, mode #2-uniform illumination, and mode #3-data detection mode. In the first calibration cycle, the outputs of all the photocells on an imager 10, representing "dark current" are stored in an "offset" memory 14. In the second calibration cycle, a uniform illumination from a constant light level is applied to the imager 10. This uniform illumination signal is passed to an arithmetic unit 18 where the dark current signal is subtracted from it and the difference is then stored in gain memory 28. The gain memory passes this signal back to the arithmetic unit 18, so that in the third mode, the data detection mode, the arithmetic unit 18 can electronically correct the data signals that were non-uniformly affected by the internal characteristics of the imager.

Data supplied from the esp@cenet database - l2

## ⑫ 公開特許公報(A)

昭60-241370

⑬ Int. Cl.

H 04 N 1/40

識別記号

1 0 1

庁内整理番号

A-7136-5C

⑭ 公開 昭和60年(1985)11月30日

審査請求 未請求 発明の数 3 (全7頁)

⑮ 発明の名称 画素非均質性補正装置

⑯ 特 願 昭60-95296

⑰ 出 願 昭60(1985)5月2日

優先権主張 ⑱ 1984年5月9日 ⑲ 米国(US) ⑳ 608594

⑳ 発 明 者 ガボー チャールズ アメリカ合衆国カリフォルニア州ロスアンジェルス、スト  
 テメス ラデラ ロード 2015  
 ㉑ 出 願 人 ゼロックス コーポレ アメリカ合衆国ニューヨーク州ロチェスター、ゼロックス  
 ーション スクエア(番地なし)  
 ㉒ 代 理 人 弁理士 浅 村 皓 外2名

## 明 細 書

## 1. 発明の名称

画素非均質性補正装置

## 2. 特許請求の範囲

(1) 3つのモードで機能し、作像装置(10)において用いるための画素非均質性補正装置であつて、前記作像装置に光が全くあたらない第1のモードで前記作像装置からの暗流信号を記憶するために前記作像装置に結合されたオフセットメモリ手段(14)、均質なあらかじめ定められたレベルの光が前記作像装置に向けられる第2のモードで前記作像装置からの信号を記憶するために前記作像装置および前記オフセットメモリ手段に結合され、前記オフセットメモリ手段から受け取った暗流信号を前記均質な光をあてて生成された信号から減算することによつて差信号の生成も行なり演算ユニット手段(18)、前記差信号を受け取つて記憶するために前記演算装置手段に結合され、また本画素非均質性補正装置が第3のオペレーティングモードに置かれる場合に前記差信号を前記

演算装置手段に与えるために前記演算装置手段にフィードバック結合された利得メモリ手段(28)、および前記演算装置手段が今度は前記作像装置からの実際のデータ信号を、そこに向けられたデータ変調光によつて、前記作像装置の各フォトサイトでの非均質性に対して補正するように前記演算装置手段からの出力を前記利得メモリ手段から本画素非均質性補正装置出力に切り換えるためのスイッチ手段(24)を有することを特徴とする画素非均質性補正装置。

(2) 固体作像装置の画素非均質性補正装置であつて、前記作像装置の応答が $Y$ を作像電荷、 $X$ を照明光レベル、また $M$ と $B$ を定数として線形関係式

$$Y = MX + B$$

で近似可能であり、また $M$ と $B$ は $Y_1$ を $X_1$ がゼロである場合の暗流として、また $Y_2$ を $X_2$ が均質である場合の電流として2つの関係 $X_1$ 、 $Y_1$ および $X_2$ 、 $Y_2$ から

$$M = \frac{Y_2 - Y_1}{X_2} \quad \text{および} \quad B = Y_1$$

として得られ、第1のモードで前記あてられる光  $X_1$  がゼロであり、第2のモードで  $X_2$  が均質である場合にはオペレーティングモードであてられる前記データ変調光の値が関係式

$$X = \frac{Y-B}{M} = X_2 \frac{Y - Y_1}{Y_2 - Y_1}$$

によつて定められることを特徴とする画素非均質性補正装置。

(3) 第2の端子が共に直列に接続されている第1の複数のコンデンサ手段 ( $C_1 - C_n$ )、前記コンデンサ手段の第1の端子を基準電圧に選択的に接続すべく、自らに与えられる第1の2進信号  $B$  に選択的に応答する第1の複数のスイッチ手段 ( $B_0 - B_n$ )、第2の端子が前記第1の複数のコンデンサ手段の第2の端子に直列に接続された第2のコンデンサ手段 ( $C_0$ )、前記第1の複数のコンデンサ手段を通じて送られる前記電荷が前記第2のコンデンサ手段に送られる電荷から減算されるように前記第2のコンデンサ手段を信号  $Y_2$  もしくは  $Y$  が付与された入力に結合するための第2の

スイッチ手段 ( $B_2$ )、第1の端子が共に直列に接続されまた前記第1の複数のコンデンサ手段と前記第2のコンデンサ手段の第2の端子に接続された第3の複数のコンデンサ手段 ( $C_1 - C_n$ )、ならびに前記第3の複数のコンデンサ手段の該第2の端子を共通点に選択的に接続すべく、自らに与えられる第2の2進信号  $M$  に選択的に応答する第3の複数のスイッチ手段、第1と第2の入力および1つの出力を有し、前記第1の入力が前記第1の複数のコンデンサ手段と前記第2のコンデンサ手段の該第2の端子および前記第2のコンデンサ手段の前記第1の端子に接続され、前記第2の入力が接地され、また前記出力が前記第3の複数のコンデンサ手段の前記共通点に接続された、演算増幅器手段 (60) であつて、信号  $B$  が信号  $Y_2$  (または  $Y$ ) から減算され、結果的な信号  $Y_2 - B$  (または  $Y - B$ ) が信号  $M$  によつて除算され、このようにして前記演算増幅器の結果的な利得に影響を及ぼすようになつている演算増幅器手段 (60) を有することを特徴とする演算回路。

### 3. 発明の詳細な説明

#### (産業上の利用分野)

本発明は暗流検出モード (モード1)、均質照明モード (モード2)、および実データ検出モード (モード3) なる3つのモードを用いて線形補正法を備えることにより画素不均質補正装置がフォトサイトの不均質性を補正するようになつている作像アレイに関する。

#### (従来の技術)

像走査機は情報を1つの媒体から他の媒体に変換するのに用いられる。例えば音頻の走査では、音頻上の情報が他のユニットへの伝送、情報処理、電子的記憶等のために1つのページ上の印刷物から電気信号に変換される。

電荷移動技術を用いる電荷結合素子 (CCD) は像走査機に役立つ最新の技術応用の一つである。光が CCD 装置のフォトサイトに入射すると、その装置がこの情報を検出してその後の利用のためにそれを電気信号に変換する。このような CCD 作像装置は例えば 1,000 ないし 6,000 またはそれ

以上のフォトセルすなわちフォトサイト領域を含む。1つのフォトセルすなわちフォトサイトが他のフォトサイトより感度が高かつたりまたは低かつたりし、またはそれらの暗流が異なることもあり得るので、出力信号が均質でないこともある。OOD もしくは他の作像アレイの不均質性をフォトアレイ全体に与えられる可変的な光レベルから分離するためには、正確な信号生成のための補正技術が所望される。

#### (発明の要約)

本発明によれば、第1の校正サイクルでは校正スイッチが第1の位置に置かれ、作像装置内の全てのフォトセルの出力が「ダークイメージ」を表わすようになつている回路が開示される。即ち第1の校正サイクルではフォトセルに光が全くあたらない。そしてその結果生じるオフセット値がその特定回路の所望するところに従つてアナログ形式もしくはデジタル形式で「オフセット」メモリに記憶される。第2の校正サイクルではスイッチが第2の位置に置かれ、一定の光レベルからの

均質照明が作像アレイ内の全てのセルにあてられる。ダークイメージと均質照明信号との差が演算装置内で生成され、次にそれが利得メモリにデジタル形式で記憶される。こうしてこの利得メモリがダークイメージに関連したフォトセル利得を包含する。実際の作像モードでは、像に関する実際の画素値が本回路により直線アレイにおける暗流と利得の不均質性に関して十分に補正されて生成される。

#### (実施例)

電荷結合素子または他の型の直線アレイにおける画素不均質性の線形補正法において、ある一定の関係が存することが発見された。例えば CCD 作像装置の応答は線形な関係式

$$Y = MX + B \quad (1)$$

により近似できる。ここで Y は作像電荷、X は照明光レベル、また M と B は定数であつて、B がオフセット(暗流)また M が利得、即ち応答性である。

定数 M と B は、2つの校正テストを行なうと結

果としてもたらされる2つの対応する値の組 X1, Y1 および X2, Y2 により得られる。詳しくは X1 が 0 に等しい、即ち照明光レベルがゼロだとすると

$$M = \frac{Y_2 - Y_1}{X_2} \quad \text{および} \quad B = Y_1 \quad (2)$$

となる。従つてこの M と B の値を第1の式に代入すると光の出力量 X を次の関係式

$$X = \frac{Y - B}{M} = X_2 \frac{Y - Y_1}{Y_2 - Y_1} \quad (3)$$

から、検出された電荷 Y に対してあてられている照明の正しい値を与える関係式を用いて決定することができる。このようにしてあてられる入力照明 X を決定すると、この情報を情報検出に用いられる他の信号に関係する入力光レベルの決定のために後続の回路と共に用いることができる。実際の固体作像装置の応答は完全には線形でないけれども、T.R. Hsing によつて「Correction of Pixel Nonuniformities for Solid State Imagers」, Conf. Rec., Soc. Phot. Instr. Eng. Conf., Aug. 1981 に早期に記述された

シミュレーションが、上述の関係式を実現する電子回路で上述の関係式を用いることにより均質性と像質との向上の観点から良い結果が得られることを示している。

そのような回路は高速性と正確さの両方を実現するためにアナログ技術とデジタル技術を組み合わせ用いる。従つて、本発明に開示される装置は、真の光入力 X を記憶された値 X2, Y1, それに (Y2 - Y1) と、実際の像応答 Y とから計算する。

さて第1図を参照すると、作像アレイ10が2つの位置を有するスイッチ1と結合しており、第1の位置はモード1のため、また第2の位置はモード2と3のためにある。第1の校正サイクルではスイッチ1が第1の位置に置かれ、作像アレイ10の全てのフォトサイトの出力 Y1 が「ダークイメージ」として生じる。即ち、作像アレイ10に向かう光がない場合に作像アレイからの暗流が検出される。そしてこのアナログ信号 Y1 が A/D 変換器11を経てオフセットメモリ14に向けられ、

それが作像アレイ10の各々のフォトサイト領域からの暗流電荷をデジタル形式で記憶する。従つてオフセットメモリ14内には作像アレイ10の各々のフォトサイト領域について1つのメモリ位置がなければならない。

第2の校正サイクルでは、スイッチ1がモード2, 3の位置に切り換えられる。同時に、光が均質な既知の照明レベルで作像アレイ10に向けられる。この既知の照明レベル X2 が作像アレイ10の全てのセルにあてられる。そして作像アレイ10の各々のフォトセルで生じた電荷が入力線16を経て演算装置18に向けられる。オフセットメモリ14に記憶されている暗流信号 Y1 と、今演算装置18に向けられている均質照明信号 Y2 とを用いて、今や差信号 Y2 - Y1 を生成できる。即ち、作像アレイ10のフォトサイトからのアナログ信号が演算装置18にクロック入力されると同時に、オフセットメモリ14の出力におけるデジタル信号が演算装置18にクロック入力される。オフセットメモリ14からの出力が検

20(各ビットについて1本ずつ)によつて演算装置18に与えられ、当該出力は先述の式に見られる値Bと名づけられる。次に演算装置18からの出力が線22によつて、モード2とモード3について各々1つずつ2つの位置を有するスイッチ2に向けられる。スイッチ1が第2のモード位置にある場合、スイッチ2も第2のモード位置になり、そうすると演算装置18からの出力が線22によつてスイッチ2に向けられ、またそれからアナログデジタル変換器24に向けられて、それがアナログ差信号 $Y2 - Y1$ を利得メモリ28に適応させるためにデジタル信号に変換する。利得メモリはこの差信号をデジタル形式で記憶する。そして差信号Mが線30(各ビットについて1本ずつ)によつてモード3で用いられるべく演算装置18に向けて戻される。

均質照明信号X2が引つ込められて実際のデータ信号Xが作像装置10に与えられる場合、スイッチ1は既にモード2, 3の位置にあるが、スイッチ2は今度はモード3の位置に置かれる。かく

て、標準オペレーティングモードではデータ変調光Xが作像アレイ10に与えられ、それが標準アナログ信号電荷を線16上に生じて演算装置18に与える。暗流オフセットは上述の減算操作を行なうために入力線20により演算装置18に与えられる。即ち、実際の光電荷Yが線16によつて演算装置18に与えられ、またオフセットメモリ14に記憶された暗流信号Y1、今や線20上のデジタル信号Bが演算装置18に与えられてそこで減算処理が開始される。値Y2なる均質照明信号マイナス暗流信号Y1のデジタル信号表示である制御信号Mが値Mで表わされ、今や演算装置18に与えられてそこで除算処理も行なわれる。線22上の出力Xがスイッチ2のモード3の位置を経て本回路出力に送られ、本回路により補正された補正画素信号を表わす。かくて上述の式(3)における関係が補正画素信号を生成するために演算装置によつて本当に成就される。

本実施例に関する第2図は第1図の演算装置18の実際の回路を示す。演算装置18への入力

線16も第2図で示されている。演算装置18への入力Bが円内のBで示され、オフセットメモリ14からのデジタル信号がそれらの2進数値に依つてスイッチB0ないしBnをトリガするのに用いられることを示すためにそれらのスイッチを指し示す矢印を伴っている。かくて、スイッチB0に与えられる2進数1がそのスイッチを閉じる。OODまたは他の乗積回路では1つのMOSトランジスタ(または幾つかのMOSトランジスタ)をそのスイッチにしてデジタル信号がそのゲートに与えられるとそれによつてスイッチが閉じるようにすることができる。第2図では利得メモリ28からの信号M入力も円内のMで示され、スイッチM1ないしMnの開閉を示すために用いられる矢印を伴っている。演算装置18の出力は線22上に見られ、次いでそれがスイッチ2を経て本装置の出力に結合される。

本回路はオートゼロモード、即ち自動校正モードとオペレーティングモードという2つのモードで作動する。第1と付されるスイッチは全て第1

のモード即ちオートゼロモードでは閉じられ、第2と付された様々なスイッチに見られるようにそれらは第2がハイ(high)であるオペレーティングモード間に増幅器のオフセット電圧を補正するように様々なコンデンサや他の回路と結合する。オートゼロプロセスの詳細はR. Gregorianによる"High Resolution Switched-Capacitor D/A Converter", Proc. 1980 Asilomar Conference on Circuits, Systems, and Computersに記述されている。第2が本装置の他のスイッチに用いられると、第2スイッチが閉じられている間第1スイッチが開く。第2図のスイッチ1は、スイッチ1が前述の如くまた第1図に示されるように第1のオペレーティングモードにある場合には本装置が本質的に無能化されることを示している。モード2と3では、負の基準電圧 $-V_{ref}$ が第2図の本回路上部に印加される一方値Y2またはYが線16に、従つて第2図の回路のそれ以外の部分に、与えられることが理解される。スイッチB0ないしBnに与えられるディジ

タル信号入力に依つて、それに応じて様々なスイッチが開閉される。かくて負の基準電圧 $-V_{ref}$ が、0という値を有するコンデンサ $C_1$ 、 $C_2$ の値を有する $C_2$ 、もしくは40の値を有する $C_3$ 、以下同様にして信号Bによる信号入力のビット数と同じだけの数のコンデンサすべてに印加される。つまりもし信号Bが8ビットの信号であれば本回路には8個のコンデンサがあることになる。もしBが値の高い信号であれば、即ち例えば8ビット信号のうち多くの2進数字1を含むならば、スイッチ $B_0$ ないし $B_n$ のほとんどが閉じられて、 $-V_{ref}$ による電荷が今閉じられているスイッチ $\phi_2$ を通じて与えられ、 $C_1$ ないし $C_n$ のコンデンサを過渡的に帯電させる。それ故負電荷であるこの信号が、演算増幅器60の入力に結合されたコンデンサ $C_0$ にスイッチ1を通じて与えられる。実際のフォトサイト電荷信号Yから実際に減算される。前記の電荷はオペレーティングモード中に演算増幅器60の出力端子と反転入力端子との間に接続されたフィードバックコンデンサに加えら

れる。モード2ではスイッチ $\phi_3$ が開かれ、コンデンサ $C_1$ のみが出力線22に接続される。モード3では $\phi_3$ が閉じられる。同時に、利得メモリ28からのデジタル信号Mがスイッチ $M_0$ ないし $M_n$ に与えられる。これらのスイッチはコンデンサ $C_1$ ないし $C_x$ を並列に接続するために用いられ、これらのコンデンサも上述の他のコンデンサと同様に0、20、40という値を有する。入力信号Mデジタル値に依つて、様々なコンデンサ $C_1$ ないし $C_x$ が並列に接続され、それが演算増幅器60の電極間容量の値を有効に変化させ、その中でその利得を変化させる。かくて入力信号Bが減算処理をトリガし、一方入力信号M(モード3でのみ存在する)が除算処理をトリガして演算増幅器60の利得に影響を及ぼし、従つて出力信号に影響を及ぼす。さてもスイッチ2がモード2の位置にあれば、出力信号は $Y_2 - Y_1$ 信号となつて利得メモリ28の入力となる。もし本回路がモード3即ちオペレーティングモードにあれば、本回路の出力が補正された画素信号

の負値である信号 $-X$ となるようにスイッチ2における出力がモード2のスイッチを開きまたモード3のスイッチを閉じる。

このように、本装置の主要構造は演算装置18である。デジタルオフセットメモリを用いるものと仮定して本回路を上記第2図に関連して示しまた記述した。本回路は校正サイクル2の間と作像中に作動する。校正サイクル2ではオフセットBがオフセットメモリから呼び出されてそのビット $B_0$ 、 $B_1$ ないし $B_n$ が $\phi_2$ 間に

$$-\sum_{i=0}^n (B_i) 2^i 0 V_{ref} = -(Y_1) 0 \quad (4)$$

に等しい電荷を演算増幅器60のフィードバックコンデンサ $C_0$ に送るために用いられる。同時に、正味の電荷が $(Y_2 - Y_1) 0$ となるように電荷 $Y_2 0$ も下方の入力分岐によつてフィードバックコンデンサに送られる。従つて出力電圧は、 $(Y_1 - Y_2)$ である。この出力の絶対値は $(Y_2 - Y_1)$ であつてアナログからデジタルに変換されビット $M_0$ 、 $M_1$ ないし $M_n$ の形で利得メモリに

記憶される。

作像モード3では入力がY、またフィードバック分岐に送られる電荷が $(Y - Y_1) 0$ である。しかしながら今度はフィードバックコンデンサが

$$\sum_{i=0}^n (M_i) 2^i 0 = (Y_2 - Y_1) 0 / V_{ref} \quad (5)$$

という値を有する。

それ故出力電圧は

$$V_{out} = -V_{ref} \frac{(Y - Y_1) 0}{(Y_2 - Y_1) 0} = -V_{ref} X \quad (6)$$

となる。

従つて重量でない定数スケール因子 $-V_{ref} / X_2$ は別として所望される式(3)の補正された画素値が本当に生成される。

出力電圧は $\phi_2$ 間に本回路内で生成される。 $\phi_1$ がハイである期間中、全てのコンデンサが演算増幅器60のオフセット電圧である $V_{offset}$ まで放電させられる。その極性はオペレーションが $V_{offset}$ とは独立であるようになつている。それはまた漂遊容量効果にも全く感応しない。

本回路は高精度に製作することができる。なぜならコンデンサの比が全て2のべきなので全てのコンデンサを同じ大きさのユニットコンデンサから構成し得るからである。デジタル演算は並列式に行なわれる。即ち全てのビットが同時に効力を生じる。2相クロックが用いられ、また校正サイクル終了後に $1/T$ 画素/秒のデータ速度を保持できる。ここでは第2図に示されるように $T$ が $g1$ と $g2$ のクロック信号の同期である。

アナログオフセットメモリを用いるならオペレーションは多少簡単になる。この場合、 $A/D$ 変換器11は必要なくなる。従つて演算増幅器の(第2図で $-V_{ref}$ に接続されている)上方の入力分岐を第3図のより単純な分岐回路で置き換えることができる。その結果の回路は以然としてオフセット電圧や寄生容量作用の影響を受けず、また第2図に示される回路のコンデンサおよびスイッチの約半分しか必要としない。この回路ではコンデンサ0は $g1$ が高い場合に電荷 $Y10$ を獲得し、また $g2$ が高い場合に負電荷 $Y10$

を増幅器のフィードバック分岐に送る。

線形化された作像非均質性補正装置を実現するアナログとデジタルの混合モード装置に関して記述した。それは比較的単純な構造であつて高速かつ正確であるという可能性を有する。その補正能力には限定された範囲がある。それ故必要ならばそれを隣接補間回路と結合しなければならない。後者は $M$ または $B$ のいずれかがアナログデジタル変換器のダイナミックレンジを超えているとわかれば能動化される。あるいはまた何らかの不完全な画素を除去するために $1-D$ 中央値フィルタリング処理を用いてもよい。

特定の実施例に関して本発明を記述したが、本発明の真の精神および範囲から逸脱することなく様々な変更が可能でありまたその構成部分を等価物で置き換え得ることが当業者には理解されよう。加えて、本発明の本質的教示から逸脱することなく多くの修正が可能である。

#### 4. 図面の簡単な説明

第1図は本発明の原理に従う画素不均質性補正

装置に関するブロック線図、第2図は第1図の演算装置に関する本発明に関連した概略図、第3図はデジタル形式よりむしろアナログ形式のオフセットメモリを用いた、第2図の簡略図である。

(参照符号の説明)

- 10…作像アレイ、 14…オフセットメモリ  
18…演算装置、 28…利得メモリ、  
B W 1, B W 2…スイッチ、  
C 1 - C n…第1のコンデンサ群、  
C 0…第2のコンデンサ、  
C 10 - C x…第3のコンデンサ群、  
B 0 - B n…第1のスイッチ群、  
g 2…第2のスイッチ

代理人 浅 村 皓

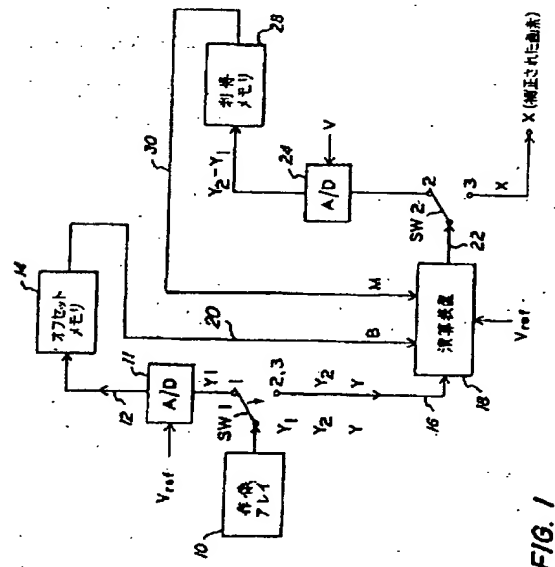


FIG. 1



